

PAT-NO: JP02001230394A

DOCUMENT-IDENTIFIER: JP 2001230394 A

TITLE: SILICON-ON-INSULATOR SEMICONDUCTOR  
DEVICE AND  
MANUFACTURING DEVICE OF IT

PUBN-DATE: August 24, 2001

## INVENTOR-INFORMATION:

NAME	COUNTRY
IKEDA, TADASHI	N/A

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP2000043594

APPL-DATE: February 16, 2000

INT-CL (IPC): H01L027/12, H01L029/786

## ABSTRACT:

PROBLEM TO BE SOLVED: To prevent generation of punch-through while restraining enhancement in a parasitic capacitance in a silicon-on-insulator(SOI) semiconductor device.

SOLUTION: This semiconductor device comprises a substrate 4, a buried insulating film 3, and a first conductive type of semiconductor layer 1b. Two impurity regions of second conductive type 7 are formed with a channel forming

region 1c between, with a distance from each other in the semiconductor layer

1b. The buried insulating film 2 comprises a first region 2a including the lower region of the channel forming region 1c and a second region 2b which has the specific inductive capacity which is lower than that of the first region 2a and includes the lower region of at least one of the two impurity regions 7. In order to make this difference in the specific inductive capacity, an element to lower the specific inductive capacity (i.e., fluorine) may be added to the second region 3b and also an element to raise it (i.e., nitrogen, carbon) may be added to the first region 2a.

COPYRIGHT: (C) 2001, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-230394

(P2001-230394A)

(43)公開日 平成13年8月24日(2001.8.24)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 27/12  
29/786

識別記号

F I

H 0 1 L 27/12  
29/78

テマコード(参考)

L 5 F 1 1 0  
6 2 6 C

審査請求 未請求 請求項の数16 O.L (全 9 頁)

(21)出願番号

特願2000-43594(P2000-43594)

(22)出願日

平成12年2月16日(2000.2.16)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 直史

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

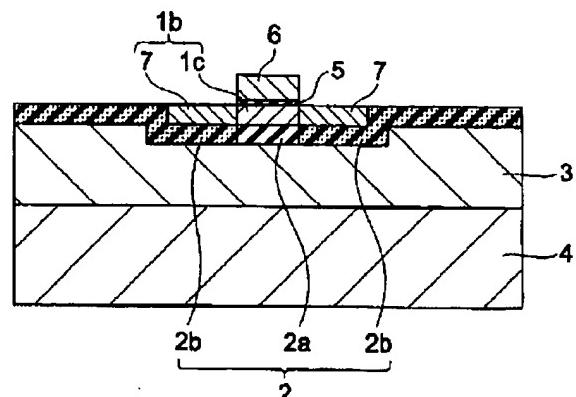
Fターム(参考) 5F110 AA02 AA09 AA30 CC02 DD03  
DD05 DD13 DD21 DD24 DD25  
DD30 EE09 FF02 FF23 GG12  
GG13 HJ01 HJ13 HJ23 NN62  
QQ17 QQ19

(54)【発明の名称】 SOI型半導体装置およびその製造方法

(57)【要約】

【課題】SOI型半導体装置において、寄生容量の増大を抑制しながらパンチスルーの発生を防止する。

【解決手段】基板4、埋込絶縁膜3、第1導電型の半導体層1bを有し、半導体層1b内に、チャネル形成領域1cを挟んで互いに離れた2つの第2導電型の不純物領域7が形成されている。埋込絶縁膜2は、チャネル形成領域1cの下方領域を含む第1領域2aと、当該第1領域2aより比誘電率が低く、2つの不純物領域7の少なくとも一方の下方領域を含む第2領域2bとを有する。この比誘電率差を設けるために、比誘電率を低くする元素(たとえばフッ素)を第2領域2bに添加してもよく、また、比誘電率を高くする元素(たとえば窒素、炭素)を第1領域2aに添加してもよい。



## 【特許請求の範囲】

【請求項1】基板と、

上記基板上に形成された埋込絶縁膜と、

上記埋込絶縁膜上に形成された第1導電型の半導体層と、

上記半導体層内でチャネル形成領域を挟んで互いに離れて形成された2つの第2導電型の不純物領域とを有するS O I型半導体装置であって、

上記埋込絶縁膜は、第1領域と、当該第1領域より比誘電率が低い第2領域とを有するS O I型半導体装置。

【請求項2】上記埋込絶縁膜の第1領域が上記チャネル形成領域の下方領域を含み、

上記埋込絶縁膜の第2領域が上記2つの不純物領域の少なくとも一方の下方領域を含む請求項1に記載のS O I型半導体装置。

【請求項3】上記埋込絶縁膜は、比誘電率を低くする元素が上記第2領域に添加されている請求項1に記載のS O I型半導体装置。

【請求項4】上記比誘電率を低くする元素はフッ素である請求項3に記載のS O I型半導体装置。

【請求項5】上記埋込絶縁膜は、上記第1領域が酸化シリコンからなり、上記第2領域がフッ化酸化シリコンからなる請求項4に記載のS O I型半導体装置。

【請求項6】上記埋込絶縁膜は、比誘電率を高くする元素が上記第1領域に添加されている請求項1に記載のS O I型半導体装置。

【請求項7】上記比誘電率を高くする元素は窒素である請求項6に記載のS O I型半導体装置。

【請求項8】上記比誘電率を高くする元素は炭素である請求項6に記載のS O I型半導体装置。

【請求項9】被研磨基板上に埋込絶縁膜を形成する工程と、上記被研磨基板を上記埋込絶縁膜側から支持基板と張り合わせる工程と、上記被研磨基板を裏面から研磨しS O I型半導体層を形成する工程と、当該S O I型半導体層に素子を形成する工程とを有するS O I型半導体装置の製造方法において、

上記埋込絶縁膜の一部に比誘電率を変化させる元素を添加する工程を更に有するS O I型半導体装置の製造方法。

【請求項10】上記元素を添加する工程は、上記基板張り合わせの前に行う請求項9に記載のS O I型半導体装置の製造方法。

【請求項11】上記埋込絶縁膜に元素を添加する工程では、上記埋込絶縁膜上にマスク層を形成し、マスク層で覆われていない埋込絶縁膜部分に上記元素をイオン注入する請求項9に記載のS O I型半導体装置の製造方法。

【請求項12】上記埋込絶縁膜に元素を添加する工程では、上記S O I型半導体層に接する埋込絶縁膜部分の更に一部に上記元素を添加する請求項9に記載のS O I型半導体装置の製造方法。

【請求項13】半導体基板の表面より深い深部に絶縁化物質をイオン注入し熱処理して、埋込絶縁膜を有するS O I型半導体基板を形成する工程と、上記S O I型半導体基板の上記埋込絶縁膜より表面側に形成された半導体層に素子を形成する工程とを有するS O I型半導体装置の製造方法であって、

上記埋込絶縁膜の一部に誘電率を変化させる元素を添加する工程を更に有するS O I型半導体装置の製造方法。

【請求項14】上記埋込絶縁膜に元素を添加する工程では、上記半導体層上にマスク層を形成し、マスク層で覆われていない埋込絶縁膜部分に上記元素をイオン注入する請求項13に記載のS O I型半導体装置の製造方法。

【請求項15】上記マスク層は、上記素子の形成に用いるマスク層を兼用する請求項13に記載のS O I型半導体装置の製造方法。

【請求項16】上記埋込絶縁膜に元素を添加する工程では、上記半導体層上に接する埋込絶縁膜部分の更に一部に上記元素を添加する請求項13に記載のS O I型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、素子が形成される半導体層がS O I (Silicon On Insulator)型の基板分離構造を有するS O I型半導体装置と、その製造方法に関するもの。

## 【0002】

【従来の技術】従来より、素子が形成される半導体部分が薄膜状に形成され、この薄膜状の半導体部分(半導体層)が絶縁材料に囲まれ、島状に存在する構造の半導体装置が知られている。たとえば、基板上に埋込S i O<sub>2</sub>膜を介して形成されたシリコン層を有し、当該シリコン層にM O Sトランジスタ等の素子が形成されている半導体装置が知られている。以下、このように、素子能動層が絶縁膜(誘電膜)によって基板と分離されている構造の半導体装置を、“S O I型半導体装置”と称する。

【0003】S O I型半導体装置は、パルク型の半導体装置に比べ、ラッチアップがない、耐放射線特性が良い、基板と誘電膜分離されているため接合容量が小さく高速化が図れ、低電圧および低消費電力であるなど多くの利点を有する。また、S O I型半導体装置では、半導体層の厚さを薄くすると、所定のバイアス電圧印加時に半導体層を厚さ方向に完全に空乏化できる。この完全空乏型の半導体装置では、部分空乏型の半導体装置と比較すると、サブスレッシュホールド特性に優れ、即ちS値が小さく、また基板バイアス効果を受けにくいなど更に優れた性能を発揮するようになる。

【0004】図11に、従来のS O I型半導体装置におけるM O Sトランジスタの断面図を示す。多結晶シリコンなどの基板100上にポリシリコン層101を介して埋込酸化膜102が形成され、埋込酸化膜102の表面

にp型のシリコン層103が形成されている。埋込酸化膜102の一部がシリコン層103の側面に素子分離酸化膜として延在し、シリコン層103を図示しない他のシリコン層と分離している。シリコン層103の表面には、ゲート酸化膜104とポリシリコン電極（ゲート電極）105が積層されている。また、このゲート電極に重ならないシリコン層部分にn型不純物が添加され、これにより、2つのソース・ドレイン不純物領域106が互いに離れて形成されている。

## 【0005】

【発明が解決しようとする課題】ところで、一般に、昨今の半導体デバイス製造における微細化技術の進展にともないMOSトランジスタのゲート長が短縮されると、ドレイン電圧がソース領域にまで直接影響を与えるようになる。とくに、半導体基板表面から離れたチャネル領域の深部では、ゲート電圧の支配力が低下してドレイン電圧が支配的になるため、ゲート電圧で制御できない電流がドレイン領域からソース領域に流れるという、いわゆるパンチスルーハイドロゲン現象が起こる。このパンチスルーハイドロゲン現象は、SOI型の基板分離構造を有した場合においても同様に発生する。

【0006】図11において、たとえば完全空乏化のためにシリコン層103を薄くすると、このシリコン層103と埋込酸化膜102の比誘電率の違いにより、ゲート電極105の直下においてシリコン層103内の表面側より底部側の方が電位が高くなることが起こる。このときの電位分布については、“中村他：「薄膜SOIMOSトランジスタの短チャネル効果の解析」，電子情報通信学会論文誌，C-11Vol.J74-C-11, No.3, pp.147-153, 1991, March”において、図6, 図7およびその関連文章に詳しく記載されている。このように、SOI型半導体装置でゲート印加電圧が小さいときはゲート電圧の支配力がシリコン層103の底部まで及ぼす、その結果、シリコン層103の底部において、ソース・ドレイン不純物領域106から空乏層が伸びやすくなる。したがって、チャネル長が短かいSOI型の微細MOSデバイスでは、パンチスルーハイドロゲン現象が起きやすいという問題がある。

【0007】この問題を解決する方策の一つとして、シリコン層103の薄層化とともに埋込酸化膜102を薄膜化する方法がある。この方法は、“大村他：「高速CMOS/SIMOXデバイス技術」，電子情報通信学会技術研究報告，ED91-104, ICD91-121”に記載されている。

【0008】しかし、シリコン層103の薄層化は一般に難しく、層厚が100nm以下の領域での厚さ制御は非常に困難である。また、埋込酸化膜102の薄膜化は、SOI基板分離構造の寄生容量が小さいという利点を損ない、回路の高速動作の妨げとなる。

【0009】本発明の目的は、寄生容量の増大を抑制し

ながらパンチスルーハイドロゲンの発生を防止できるSOI型半導体装置と、その製造方法を提供することにある。

## 【0010】

【課題を解決するための手段】本発明の第1の観点に係るSOI型半導体装置は、基板と、上記基板上に形成された埋込絶縁膜と、上記埋込絶縁膜上に形成された第1導電型の半導体層と、上記半導体層内でチャネル形成領域を挟んで互いに離れて形成された2つの第2導電型の不純物領域とを有するSOI型半導体装置であって、上記埋込絶縁膜は、第1領域と、当該第1領域より比誘電率が低い第2領域とを有する。好ましくは、上記埋込絶縁膜の第1領域が上記チャネル形成領域の下方領域を含み、上記埋込絶縁膜の第2領域が上記2つの不純物領域の少なくとも一方の下方領域を含む。

【0011】埋込絶縁膜内の比誘電率の差を設けるために、比誘電率を低くする元素（たとえばフッ素）を上記第2領域に添加してもよく、また、比誘電率を高くする元素（たとえば窒素、炭素）を上記第1領域に添加してもよい。

【0012】このような構成のSOI型半導体装置では、埋込絶縁膜のチャネル形成領域の下方領域で比誘電率が高く、埋込絶縁膜の、たとえばソース・ドレイン不純物領域の下方領域で比誘電率が低い。したがって、埋込絶縁膜の膜厚を薄くしてパンチスルーハイドロゲンを抑制する場合でも、ソースまたはドレインの寄生容量が増大しない。あるいは、同じ埋込絶縁膜の膜厚なら、従来よりソースまたはドレインの寄生容量が低減し、その結果、より高速に、あるいは低電圧、低消費電力で動作する。

【0013】本発明の第2の観点に係るSOI型半導体装置の製造方法は、被研磨基板上に埋込絶縁膜を形成する工程と、上記被研磨基板を上記埋込絶縁膜側から支持基板と張り合わせる工程と、上記被研磨基板を裏面から研磨し薄膜化してSOI型半導体層を形成する工程と、当該SOI型半導体層に素子を形成する工程とを有するSOI型半導体装置の製造方法において、上記埋込絶縁膜の一部に比誘電率を変化させる元素を添加する工程を更に有する。

【0014】上記元素を添加する工程を、上記基板張り合わせの前に行う。上記埋込絶縁膜に元素を添加する工程では、上記埋込絶縁膜上にマスク層を形成し、マスク層で覆われていない埋込絶縁膜部分に上記元素をイオン注入する。上記埋込絶縁膜に元素を添加する工程では、上記SOI型半導体層に接する埋込絶縁膜部分の更に一部に上記元素を添加する。

【0015】本発明の第3の観点に係るSOI型半導体装置の製造方法は、半導体基板の表面より深い深部に絶縁化物質をイオン注入し熱処理して、埋込絶縁膜を有するSOI型半導体基板を形成する工程と、上記SOI型半導体基板の上記埋込絶縁膜より表面側に形成された半導体層に素子を形成する工程とを有するSOI型半導体装置の製造方法である。

装置の製造方法であって、上記埋込絶縁膜の一部に誘電率を変化させる元素を添加する工程を更に有する。

【0016】上記埋込絶縁膜に元素を添加する工程では、上記半導体層上にマスク層を形成し、マスク層で覆われていない埋込絶縁膜部分に上記元素をイオン注入する。上記マスク層は、上記素子の形成に用いるマスク層を兼用するとよい。上記埋込絶縁膜に元素を添加する工程では、上記半導体層上に接する埋込絶縁膜部分の更に一部に上記元素を添加する。

【0017】これら本発明に係るSOI型半導体装置の製造方法では、いわゆる基板張り合わせ法またはSIMOX法において、埋込絶縁膜に比誘電率の差を容易に設けることができる。

#### 【0018】

##### 【発明の実施の形態】第1実施形態

図1は、第1実施形態に係るSOI型半導体装置のトランジスタ部分の断面図である。

【0019】このSOI型半導体装置では、たとえばシリコンウエハなどの支持基板4上に、たとえばポリシリコンなどからなり張り合わせ面を平滑化するための層（以下、密着層という）3が形成されている。密着層3の下面が支持基板4との張り合わせ面となる。一方、密着層3の上部は一部窪んでおり、その窪みを含めた上面全域に埋込絶縁膜2が形成されている。p型の多結晶シリコンからなる半導体層1bが、窪みを埋めるように形成されている。また、半導体層1b上に、たとえば、酸化シリコンからなるゲート絶縁膜5と、ポリシリコンからなるゲート電極6が積層されている。ゲート電極6と重ならない半導体層1b部分にn型不純物が添加され、これにより、2つのソース・ドレイン不純物領域7が互いに離れて形成されている。この2つのソース・ドレイン不純物領域7に挟まれた半導体層1bのゲート電極下方領域1cは、当該トランジスタの導通時にチャネルが形成される箇所であり、以下、チャネル形成領域といいう。

【0020】本実施形態におけるSOI型半導体装置では、埋込絶縁膜2が、トランジスタとの位置関係で部分的に異なる比誘電率を有する。すなわち、図1の例では、チャネル形成領域1cに接する埋込絶縁膜部分2aの比誘電率が相対的に高く、ソース・ドレイン不純物領域7に接する部分を含む他の埋込絶縁膜部分2bの比誘電率が相対的に低くなっている。

【0021】図2～図5は、このSOI型半導体装置の製造途中の断面図である。以下、これらの図を用いて第1実施形態に係るSOI型半導体装置の製造方法を説明する。

【0022】図2(A)の工程では、まず、被研磨基板1を用意する。この被研磨基板1として、一般に、高い平坦度を有するp型シリコンウエハを用いる。つぎに、被研磨基板1上に、レジストなどのエッチングマスク層

10

R1を形成し、このエッチングマスク層R1に覆われていない基板部分を所定量エッチングする。これにより、被研磨基板1の表面に、後にトランジスタ活性層となる凸部1aが形成される。

【0023】エッチングマスク層R1を除去後、図2(B)に示すように、被研磨基板1の表面全域に、酸化シリコンからなる埋込絶縁膜2を形成する。埋込絶縁膜2の膜厚は、デバイス設計の重要なパラメータの一つであり、トランジスタ活性層厚などに応じて最適値が決められる。

【0024】図2(C)に示すように、被研磨基板1の凸部1aのほぼ中央の一部を覆うレジストR2を形成し、これをマスクに、フッ素イオンF<sup>+</sup>を $1 \times 10^{15} \sim 1 \times 10^{16}$ 原子/cm<sup>2</sup>の面密度となるまでイオン注入する。これにより、レジストR2に保護された埋込絶縁膜部分2aが相対的に比誘電率が高い高誘電率領域（以下、第1領域という）2aとなり、フッ素イオンF<sup>+</sup>がイオン注入された周辺の埋込絶縁膜部分が低誘電率領域（以下、第2領域という）2bとなる。なお、上記面密度のイオン注入では、酸化シリコンの比誘電率が注入前の3.9から注入後に3.6まで低下する。また、フッ素の導入量が $1 \times 10^{19}$ 原子/cm<sup>3</sup>程度以下では比誘電率を下げる効果が得られないことがわかっているので、比誘電率を低下させるには、当然のことながら、 $1 \times 10^{19}$ 原子/cm<sup>3</sup>程度より多い量のフッ素を埋込絶縁膜2に導入する必要がある。

【0025】レジストR2を除去後、図3(A)の工程では、埋込絶縁膜2上の全面に多結晶シリコンなどからなる密着層3を厚く堆積する。密着層3の表面を研磨して平坦化する。これは、次の工程で別の基板を張り合わせる際に必要な、高度に平坦な張り合わせ面を確保するためである。

【0026】図3(B)に示すように、被研磨基板1に形成された密着層3の研磨面に対し、別の基板（支持基板）4を密着させた後、加熱により両基板1, 4を熱接合させる。このとき、密着面に介在する水の作用による水素結合によって、しっかりとした接合が形成される。接合の形成後の張り合わせ強度は、 $200\text{kg}/\text{cm}^2$ 以上が普通で、場合によっては $2000\text{kg}/\text{cm}^2$ という極めて高い値が得られる。支持基板4は、通常は被研磨基板1と同様に、平滑度が高いシリコンウエハを用いる。張り合わせには長時間の高温熱処理が施されることが多いので、熱膨張係数等の物性値がほぼ等しいものでないと応力がかかり強固な張り合わせが実現できないなどの不都合が生じるおそれがあるためである。そのようなおそれがなければ、支持基板4は主に支持台としてのみ機能させるものであるから、必ずしも半導体基板である必要はなく、たとえば石英ガラスなどであってよい。

【0027】図4(A)に示すように、張り合わせ後の

40

50

両基板1、4(以下、SOI基板ともいう)の上下を逆にして置く。この状態で上面側、すなわち被研磨基板1の裏面側から研削する。この研削は、図4(B)に示すように、埋込絶縁膜2が露出する前で止める。

【0028】続いて、選択研磨を行う。ここでは、埋込絶縁膜2が露出して終点が検出されるまで精密な仕上げとして化学的機械研磨(CMP)を行う。これにより、図5(A)に示すように、殆どの被研磨基板が除去され、先の図2(A)で形成した凸部1aのみが埋込絶縁膜2の表面の凹部を埋めるように残され、これにより周囲を絶縁物に囲まれた島状の半導体層1bが形成される。

【0029】このように形成された半導体層1bに半導体素子、ここではnMOSトランジスタを形成する。すなわち、半導体層1bの表面を、たとえば薄く熱酸化してゲート絶縁膜を形成し、その上に多結晶シリコンの膜を堆積する。この多結晶シリコンの膜およびゲート絶縁膜をバターンニングして、図5(B)に示すように、ゲート絶縁膜5およびゲート電極6の積層パターンを得る。なお、このゲートの積層パターン5、6は、マスク合わせにより埋込絶縁膜2の第1領域2aの上方に位置させる。

【0030】その後、このゲートの積層パターン5、6をマスクに、n型不純物を比較的高濃度にイオン注入する。活性化アーリング後、図1に示すように、ゲート電極6と重ならない半導体層部分に、2つのソース・ドレイン不純物領域7が互いに離れて形成される。このとき、2つのソース・ドレイン不純物領域7の離間スペースがチャネル形成領域1cとなる。また、各ソース・ドレイン不純物領域7は、埋込絶縁膜2の第2領域2b上に接して形成される。

【0031】このように構成されたnMOSトランジスタでは、動作時にチャネルが形成されるチャネル形成領域1cは、その下方の埋込絶縁膜部分である第1領域2aの比誘電率が相対的に高いため、支持基板4の電位固定電極(バックゲート電極)の印加電圧によりしっかりと電位固定される。この電位固定によってゲート電圧6の支配力が小さい半導体層1bの底部での電位上昇が抑制され、その結果、パンチスルーエフェクトが起こりにくくなる。その一方、ソース・ドレイン不純物領域7の下方に接する埋込絶縁膜部分である第2領域2aの比誘電率が相対的に低いことから、ソース・ドレイン不純物領域7と基板間の寄生容量が低減されている。このため、SOI基板分離構造の特長である寄生容量が小さいことが維持されている。

【0032】以上の理由により、本実施形態に係るSOI型半導体装置では、トランジスタを完全空乏化するために半導体層1bを薄くすることが可能であり、また、寄生容量を従来より低減して回路の高速化、低電圧化、低消費電力化を図ることができる。

【0033】なお、埋込絶縁膜2の材質は、酸化シリコンに限定されず種々の絶縁物質を用いることができる。また、用いた絶縁物質に応じて、当然ながら比誘電率を低下させるために最適な元素が添加される。

【0034】また、上記した図示例では、埋込絶縁膜2のゲート電極下方領域を比誘電率が高い第1領域2aとし、その周囲を比誘電率が低い第2領域2bとしたが、逆に、図6に示すように、ゲート電極下方領域を第2領域2bとし、その周囲を第1領域2aとすることも可能である。その場合、たとえば図2(C)の工程で、反転したパターンのレジスト、すなわち被研磨基板1の凸部1aの中央部のみ開口したレジストを用いるとよい。図1または図6の構造を形成するために、第1領域2aの酸化シリコンに対し比誘電率を高くする元素、たとえば窒素または炭素をイオン注入することも可能であるし、これら比誘電率を高くする元素と、フッ素などの比誘電率を低くする元素との併用も可能である。

【0035】また、上述したように埋込絶縁膜2の一部を異なる比誘電率に変えることに加えて、ゲート電極下方領域の埋込絶縁膜厚を相対的に薄くし、ソース・ドレイン不純物領域7下方の埋込絶縁膜厚を相対的に厚くすることができる。これにより、パンチスルーエフェクトを更に上げ、または高性能化を更に進めることが可能である。

#### 【0036】第2実施形態

図7は、第2実施形態に係るSOI型半導体装置のトランジスタ部分の断面図である。

【0037】このSOI型半導体装置では、単結晶シリコンからなる一枚の半導体基板10の表面から所定深さの深部に埋込絶縁膜11が形成され、これにより基板分離がなされている。このような埋込絶縁膜11の形成方法としては、SIMOX法が知られている。SIMOX法により埋込絶縁膜11を形成した段階では、埋込絶縁膜11より表面側は一様な厚さのシリコン層が残されているが、そのシリコン層のフィールド領域に素子分離絶縁膜12が形成されることによって、島状の半導体層10aが形成されている。半導体層10a上に、第1実施形態と同様に、ゲート絶縁膜5およびゲート電極6が積層され、またソース・ドレイン不純物領域7が形成されることによって、nMOSトランジスタが形成されている。

【0038】図8～図10は、このSOI型半導体装置の製造途中の断面図である。以下、これらの図を用いて第2実施形態に係るSOI型半導体装置の製造方法を説明する。

【0039】まず、半導体基板10を用意する。半導体基板10として、一般に、高い平坦度を有するp型シリコンウエハを用いる。図8(A)に示すように、半導体基板10の表面から酸素イオンO<sup>+</sup>を高エネルギー注入する。このときのイオン注入は、たとえば、ドーズ量1

$\times 10^{18}$  原子/ $\text{cm}^2$  で、注入深さが表面から 100 nm より深くなるように行う。これにより、半導体基板 10 の表面より 100 nm より深い位置に酸素イオンの注入層 10 b が形成される。

【0040】つぎに、1200°C～1350°C 程度の温度で 4～6 時間ほど熱処理し、注入した酸素とシリコンを反応させて、図 8 (B) に示すように、酸化シリコンからなる埋込絶縁膜 11 を形成する。これにより、厚さが 100 nm 程度の薄いシリコン層(半導体層) 10 a が、埋込絶縁膜 11 により基板分離されて形成される。この方法は、SIMOX 法と称される SOI 基板の作製方法であるが、実際にはイオン注入と熱処理を交互に複数回繰り返す手順をとることによって、イオンの通過によるダメージを受けたシリコン層 10 a の結晶性を回復させながら SOI 基板を作製することができる。

【0041】図 8 (C) に示すように、レジストなどからなり、半導体層 10 a のトランジスタ活性層となる部分を保護するマスク層 R3 を形成する。そして、このマスク層 R3 から露出する周囲の半導体層 10 a を、エッチングにより部分的に除去する。

【0042】マスク層 R3 の除去後、図 9 (A) に示すように、上記工程で半導体層 10 a を部分的に除去したフィールド領域に、素子分離絶縁膜 12 を埋め込む。この素子分離絶縁膜 12 の形成方法は種々あるが、たとえば、絶縁膜を厚く堆積して平坦化した後にエッチバックする方法がある。また、バイアス ECR (Electron Cyclotron Resonance) CVD と CMP を組み合わせる方法もある。なお、たとえば半導体層 10 a が極めて薄い場合などでは、図 8 (C) の工程で、レジスト R3 の代わりに酸化阻止層を形成して、周囲をエッチングせずに、あるいは一部エッチングしてシリコン層を熱酸化して素子分離絶縁膜を形成する方法の採用も可能である。

【0043】第 1 実施形態と同様にしてゲートの積層パターン 5, 6 を形成した後(図 9 (B))、このとき用いたレジスト 4 を残したまま、つぎの図 10 (A) の工程では、フッ素イオン F<sup>+</sup> の注入を行う。このときのフッ素の導入量は第 1 実施形態と同様であるが、第 2 実施形態では、フッ素が表面より若干深い埋込絶縁膜 2 に導入されるように条件を最適化してイオン注入を行う。

【0044】続いて、同じレジスト R4 とゲートの積層パターン 5, 6 をマスクとして、n 型不純物(燐または砒素)をイオン注入し、ソース・ドレイン不純物領域 7 を形成する。その後、レジスト R4 を除去し、活性化アニーリングを行うと nMOS トランジスタの基本構造が

完成する。

【0045】この第 2 実施形態に係る SOI 型半導体装置の製造方法では、ゲート電極 6 に対し埋込絶縁膜 11 の第 1 領域 11 a および第 2 領域 11 b を自己整合的に形成でき、また製造工程数も少ないので利点がある。なお、パンチスルーが抑制され性能の向上ができる効果、および比誘電率に差を設ける際の種々の変形は、第 1 実施形態と同様である。

【発明の効果】本発明に係る SOI 型半導体装置およびその製造方法によれば、寄生容量の増大を抑制しながらパンチスルーの発生を防止できる。その結果、動作が安定して動作信頼性が高く、かつ高性能(高速、低電圧、低消費電力)の SOI 型半導体装置が実現できる。

#### 【図面の簡単な説明】

【図 1】第 1 実施形態に係る SOI 型半導体装置のトランジスタ部分の断面図である。

【図 2】第 1 実施形態に係る SOI 型半導体装置の製造において、フッ素導入工程までの断面図である。

【図 3】図 2 に続く、基板張り合わせ工程までの断面図である。

【図 4】図 3 に続く、研削工程までの断面図である。

【図 5】図 4 に続く、ゲート電極形成工程までの断面図である。

【図 6】第 1 実施形態において、比誘電率の設定に関する変形例を示す断面図である。

【図 7】第 2 実施形態に係る SOI 型半導体装置のトランジスタ部分の断面図である。

【図 8】第 2 実施形態に係る SOI 型半導体装置の製造において、半導体層の形成工程までの断面図である。

【図 9】図 8 に続く、ゲート電極形成工程までの断面図である。

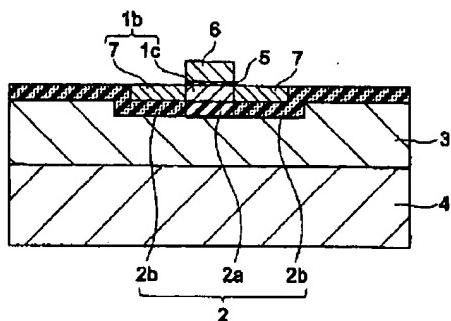
【図 10】図 9 に続く、ソース・ドレイン不純物領域形成のためのイオン注入工程までの断面図である。

【図 11】従来の SOI 型半導体装置における MOS トランジスタの断面図を示す。

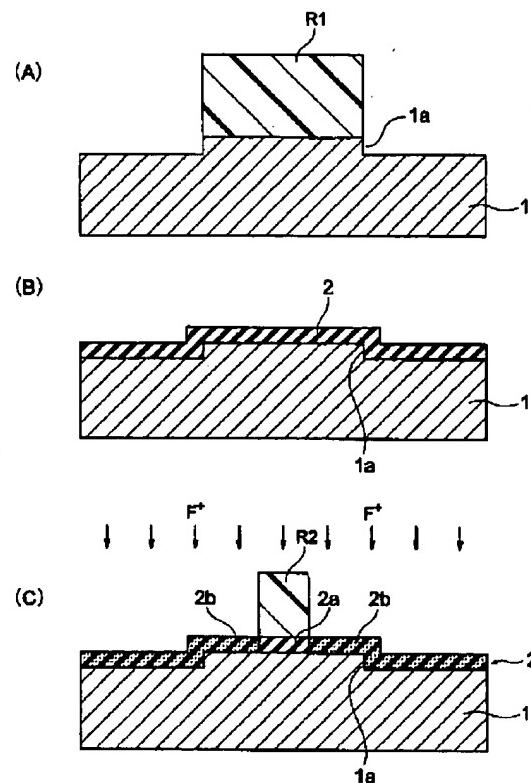
#### 【符号の説明】

1…被研磨基板、1 a…凸部、1 b, 10 a…半導体層 2, 1 c, 10 b…チャネル形成領域、11…埋込絶縁膜、2 a, 11 a…第 1 領域、2 b, 11 b…第 2 領域、3…密着層、4…支持基板、5…ゲート絶縁膜、6…ゲート電極、7…ソース・ドレイン不純物領域、10 b…酸素イオンの注入層、12…素子分離絶縁膜、R1～R2…レジスト(マスク層)。

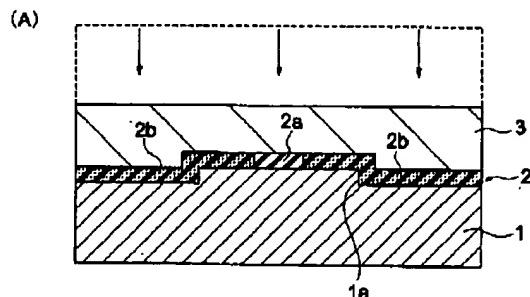
【図1】



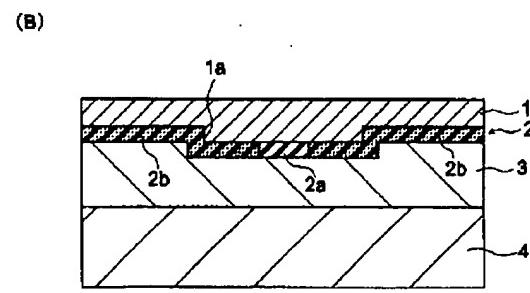
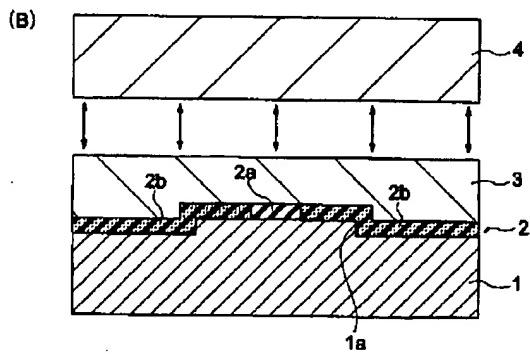
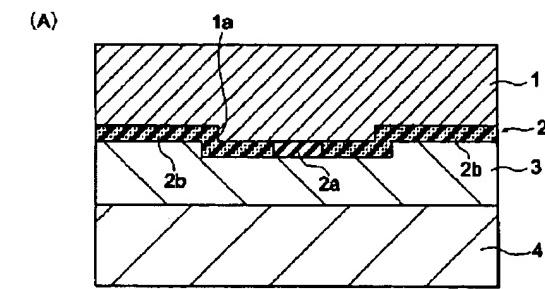
【図2】



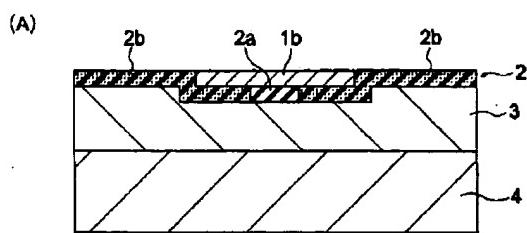
【図3】



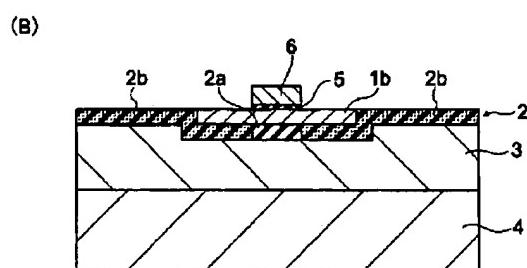
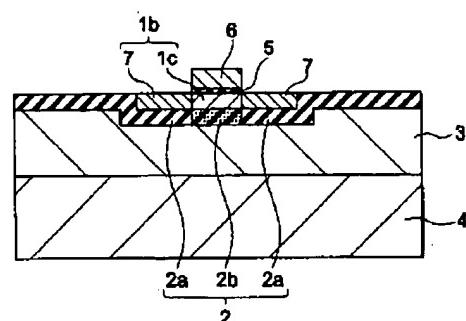
【図4】



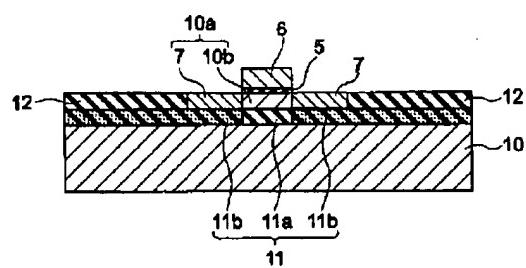
【図5】



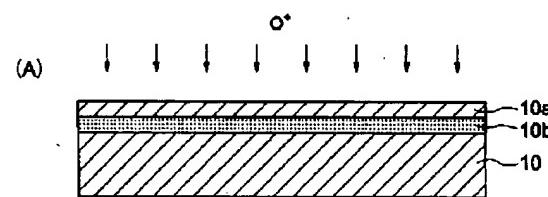
【図6】



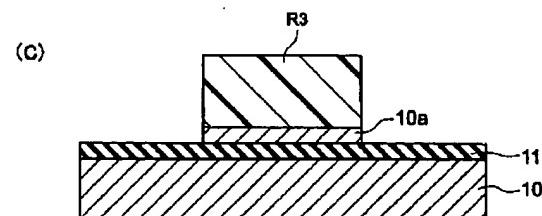
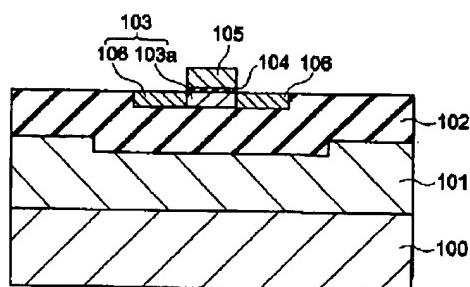
【図7】



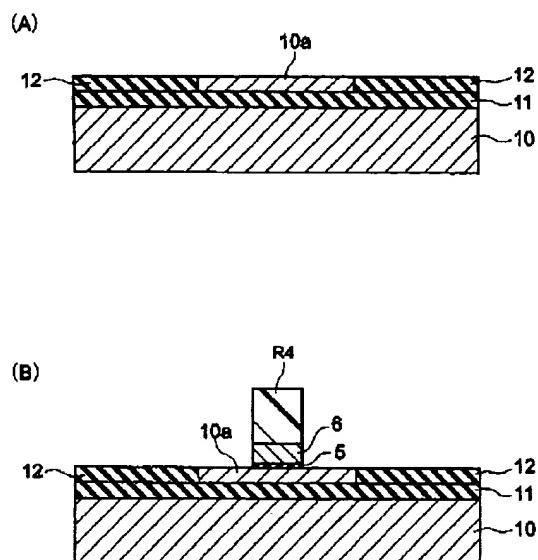
【図8】



【図11】



【図9】



【図10】

